



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 199 17 320 A 1**

⑤① Int. Cl.⁶:
G 01 R 31/3183
H 03 K 5/135

②① Aktenzeichen: 199 17 320.6
②② Anmeldetag: 16. 4. 99
④③ Offenlegungstag: 21. 10. 99

DE 199 17 320 A 1

③⑩ Unionspriorität:
10-107661 17. 04. 98 JP
⑦① Anmelder:
Advantest Corp., Tokio/Tokyo, JP
⑦④ Vertreter:
Vossius & Partner GbR, 81675 München

⑦② Erfinder:
Ochiai, Katsumi, Gyoda, Saitama, JP; Misono,
Toshiaki, Gyoda, Saitama, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

- ⑤④ Taktgenerator für ein Halbleiter-Prüfsystem
⑤⑦ Ein Taktgenerator für ein Halbleiter-Prüfsystem mit einer Verschachtelungsarchitektur ohne Verschachtelungsschwankungen. Der Taktgenerator umfaßt mehrere parallel angeordnete Zeitdatengeneratoren, denen ein erstes Taktsignal zugeführt wird, wobei jeder der Zeitdatengeneratoren ein Grob-Zeitsignal und Verzögerungszeitdaten auf der Grundlage von durch ein Prüfprogramm zugeführten Zeitdaten erzeugt, einen mit einem zweiten Taktsignal versehenen Multiplexer mit einer Frequenz, die höher ist als diejenige des ersten Taktsignals, zum parallelen Empfangen der Grob-Zeitsignale und der Verzögerungsdaten, welcher ein ausgewähltes Grob-Zeitsignal und ausgewählte Verzögerungsdaten seriell erzeugt, sowie eine veränderliche Verzögerungsschaltung, die das Grob-Zeitsignal und die Verzögerungsdaten vom Multiplexer empfängt, um das Grob-Zeitsignal mit einer durch die Verzögerungsdaten festgelegten Verzögerungszeit zu versehen.

BEST AVAILABLE COPY

DE 199 17 320 A 1

AL

Diese Erfindung betrifft einen Taktgenerator, der in einem Halbleiter-Prüfsystem zu verwenden ist, und insbesondere einen Taktgenerator für ein Halbleiter-Prüfsystem, der eine Verschachtelungsarchitektur aufweist, wodurch die Genauigkeit der Zeitsteuerung beim Erzeugen von Impulssignalen mit vorgegebenen Verzögerungszeiten unter Verwendung einer sich darin befindenden veränderlichen Verzögerungsschaltung verbessert werden kann.

Beim Prüfen von Halbleitervorrichtungen, wie ICs und LSIs durch ein Halbleiter-Prüfsystem, wie eine IC-Prüfvorrichtung, werden einer zu prüfenden Halbleiter-IC-Vorrichtung Prüfsignale zugeführt, die zu vorgegebenen Prüfpunkten von einem Halbleiter-Prüfsystem an seinen geeigneten Anschlußstiften erzeugt werden. Das Prüfsystem empfängt in Reaktion auf die Prüfsignale erzeugte Ausgangssignale von der geprüften IC-Vorrichtung. Die Ausgangssignale werden durch Markierungs- bzw. Freigabesignale mit vorgegebenen Zeitsteuerungen markiert bzw. freigegeben, d. h. abgetastet, und mit erwarteten Daten verglichen, um zu bestimmen, ob die IC-Vorrichtung richtig arbeitet.

Die Zeitsteuerungen der Prüfsignale und der Freigabesignale sind beispielsweise bezüglich einer Prüfrate oder eines Prüfzyklus des Halbleiter-Prüfsystems festgelegt. Bei einem solchen Halbleiter-Prüfsystem wird die geprüfte Halbleitervorrichtung (DUT) geprüft, indem zyklische Anschlußstift-Mustervektoren mit einer programmierten Datenrate (einem programmierten Prüfzyklus) mit Zeitsteuerungsflanken einem Formatierer zugeführt werden, um die gewünschten Wellenformen der Prüfsignale und der Markierungssignale zu erzeugen.

Im allgemeinen werden die verschiedenen Zeitsteuerungen der Prüfzyklen, Prüfsignale und Markierungssignale auf der Grundlage eines Taktsignals, wie eines Bezugstakts oder eines Systemtakts, erzeugt. Der Bezugstakt wird durch einen Oszillator hoher Stabilität, beispielsweise einen in der IC-Prüfvorrichtung bereitgestellten Kristalloszillator, erzeugt. Wenn die erforderliche zeitliche Auflösung in einem Prüfsystem der höchsten Taktrate (dem kürzesten Taktzyklus) des Bezugstakts Oszillators gleicht oder ein ganzzahliges Vielfaches davon ist, können verschiedene Zeitsignale durch einfaches Teilen des Bezugstakts mit einem Zähler oder einem Teiler erzeugt werden.

Halbleiter-Prüfsysteme müssen jedoch gewöhnlich eine zeitliche Auflösung haben, die höher ist als die höchste Taktrate, also die kürzeste Zeitperiode, des Bezugstakts (Systemtakts). Wenn ein bei einer IC-Prüfvorrichtung verwendeter Bezugstakt beispielsweise 10 ns (Nanosekunden) beträgt, wenn die IC-Prüfvorrichtung jedoch eine zeitliche Auflösung von 0,3 ns oder darüber benötigt, ist es nicht möglich, diese zeitliche Auflösung durch einfaches Anwenden oder Teilen des Bezugstakts zu erreichen. Demgemäß weist ein Taktgenerator zum Erzeugen hochaufgelöster Zeitsignale eine feine veränderliche Verzögerungsschaltung auf, die in Reaktion auf diese zugeführten Zeitdaten in der Lage ist, eine Verzögerungszeit zu erzeugen, die kürzer ist als eine Zeitdauer eines Taktzyklus.

Um überdies Zeitsignale mit einer hochfrequenten Wiederholungsrate zu erzeugen, ohne sehr schnelle Schaltungsbestandteile zu verwenden, kann ein Taktgenerator eine Verschachtelungsarchitektur aufweisen. Bei einem auf einer Verschachtelung beruhenden Taktgenerator sind mehrere Takterzeugungsschaltungen parallel angeordnet. Die Ausgangssignale dieser Takterzeugungsschaltungen werden kombiniert, um Signale seriell zu erzeugen, so daß die sich ergebenden Zeitsignale eine hohe Wiederholungsrate auf-

weisen, wenngleich ein Zeitsignal in jeder der Parallelschaltungen eine relativ geringe Frequenz aufweist.

Das herkömmliche Halbleiter-Prüfsystem mit einem solchen auf einer Verschachtelung beruhenden Taktgenerator mit fein veränderlichen Verzögerungsschaltungen wird mit Bezug auf die Fig. 5-7 beschrieben. Fig. 5a ist ein schematisches Diagramm zur Darstellung einer Grundanordnung des herkömmlichen Halbleiter-Prüfsystems, und in Fig. 5b sind Wellenformen zum Erzeugen eines einer geprüften Vorrichtung (DUT) zuzuführenden Prüfsignals dargestellt.

Bei dem Beispiel aus Fig. 5a umfaßt das Halbleiter-Prüfsystem einen Mustergenerator 12, einen Setzimpuls-generator 14 mit einem Zeitdatengenerator TGD_S und einer veränderlichen Verzögerungsschaltung 29, einen Rücksetzimpuls-generator 15 mit einem Zeitdatengenerator TGD_R und einer veränderlichen Verzögerungsschaltung 39, einen Flipflop 70, der typischerweise ein Setz-Rücksetz-Flipflop ist, sowie einen Treiber 18. Bei der vorhergehenden Einrichtung führt der Ausgang des Treibers 18 einem Anschlußstift einer zu prüfenden Vorrichtung (DUT) 20 ein Prüfsignal zu.

Wie auf dem Fachgebiet bekannt ist, weist ein hochentwickeltes Halbleiter-Prüfsystem eine anschlussstiftweise Architektur auf, bei der Prüfsignale mit den gewünschten Zeitsteuerungen von jedem Prüfstift (Prüfkanal) unabhängig von den anderen Prüfstiften erzeugt werden können. Mit anderen Worten weist jeder der Prüfstifte den Mustergenerator 12, den Setzimpuls-generator 14, den Rücksetzimpuls-generator 15, den Flipflop 70 und den Treiber 18 auf. Die Anzahl der Prüfstifte muß für die Anzahl der Anschlußstifte der voraussichtlich zu prüfenden Vorrichtungen, die einige Hundert bis einige Tausend betragen kann, ausreichen. Für eine einfache Erklärung wird bei der vorliegenden Erfindung nur einer dieser Prüfstifte beschrieben, wenngleich es beim wirklichen Prüfsystem viele Prüfstifte gibt.

Beim Beispiel aus Fig. 5a erzeugt der Mustergenerator 12 Prüfmustersignale mit einer Wellenform, die dem Setzimpuls-generator 14 und dem Rücksetzimpuls-generator 15 zugeführt werden. Der Mustergenerator 12 liefert auch dem Setzimpuls-generator 14 und dem Rücksetzimpuls-generator 15 Zeitinformationen, wie mit Bezug auf Fig. 6 beschrieben wird. Der Setzimpuls-generator 14 und der Rücksetzimpuls-generator 15 weisen einen identischen Aufbau auf. Wie in Fig. 5b dargestellt ist, gibt der Setzimpuls-generator 14 ein Setzimpulssignal SP10 mit einer vorgegebenen Verzögerungszeit aus, wenn er das Prüfmustersignal vom Mustergenerator 12 empfängt. In ähnlicher Weise gibt der Rücksetzimpuls-generator 15 ein Rücksetzimpulssignal RP11 mit einer vorgegebenen Verzögerungszeit aus. Nach dem Empfang des Setzimpulses und des Rücksetzimpulses, die oben erwähnt wurden, erzeugt der Flipflop 70 eine Prüfwellenform W1, die über den Treiber 18 an die DUT 20 anzulegen ist.

Die genauere Konfiguration des Setzimpuls-generators 14 wird mit Bezug auf Fig. 6 erklärt. Wie oben erwähnt wurde, weist der Rücksetzimpuls-generator 15 im wesentlichen die gleiche Konfiguration auf wie der Setzimpuls-generator 14. Hierbei beträgt die Anzahl der Phasen L in der Verschachtelungsarchitektur vier, was bedeutet, daß vier Zeitsignale parallel verarbeitet und miteinander kombiniert werden, um ein seriellcs Zeitsignal zu bilden. Abhängig von der gewünschten Prüfungsgeschwindigkeit kann die Verschachtelungsarchitektur so konfiguriert sein, daß sie eine andere Anzahl von Phasen, wie zwei, acht oder mehr, aufweist.

Weil die Anzahl der Phasen bei dem Beispiel aus Fig. 6 L = 4 ist, können schnelle Prüfsignale mit einer Frequenz, die viermal so hoch ist wie diejenige der in jeder der Parallelschaltungen verarbeiteten Signale, erzeugt werden. Wenn die maximale Prüffrequenz (Prüfrate) beispielsweise 500 MHz ist, kann die Frequenz 125 MHz, also ein Viertel

der maximalen Frequenz, von den Parallelschaltungen behandelt werden. Demgemäß können Niederfrequenzschaltungen ein Hochfrequenzsignal erzeugen, wenngleich die Anzahl der Schaltungsbestandteile erhöht sein muß.

In Fig. 6 weist der Setzimpulsgenerator 14 Zeitimpulsge-
neratoren (1)–(4) auf. Die Ausgänge der Zeitimpulsge-
neratoren (1)–(4) sind an eine ODER-Schaltung 27 angeschlos-
sen, wo sie kombiniert werden, um ein serielles Signal (ei-
nen Setzimpuls SP10) zu erzeugen, der dem Setzanschluß
des Flipflops 70 zugeführt wird. Jeder der Zeitimpulsge-
neratoren (1)–(4) weist einen Zeitdatengenerator TGD, einen
Impulsgeber 28 und eine veränderliche Verzögerungsschal-
tung 29 auf. Der Mustergenerator PG1–PG4 erzeugt u. a.
Zeitinformationen auf der Grundlage eines Prüfprogramms,
um der geprüften Vorrichtung zuzuführende Prüfwellen zu
erzeugen. Die Mustergeneratoren PG1–PG4 können auch
eine Verschachtelungsanordnung aufweisen, so daß jeder
Mustergenerator PG dem entsprechenden Zeitdatengenera-
tor TGD in Reaktion auf einen Prüftakt T_{clk1} die Setzimpuls-
Zeitinformationen zuführt.

Der Zeitdatengenerator TGD1 erzeugt im Zeitimpulsge-
nerator (1) nach Empfang der Setzimpuls-Zeitinformationen
vom Mustergenerator PG1 ein Grob-Setzsignal G1, das um
ein ganzzahliges Vielfaches des Prüftakts T_{clk1} gegenüber
dem vorhergehenden Setzsignal verzögert sein kann. Die
Wiederholungsrate des Grob-Setzsignals G1 legt eine Prü-
frate des aktuellen Prüfzyklus im Prüfsystem fest. Der Zeit-
datengenerator TGD erzeugt auch hochaufgelöste Verzöge-
rungsdaten HRI mit einer Bitbreite von M. Die Größe der
Bitbreite von M hängt von der Verzögerungsgenauigkeit des
Prüfsystems ab und ist beispielsweise für 10 Bits konfigur-
riert.

Nach dem Empfang des Grob-Setzsignals G1 vom Zeit-
datengenerator TGD1 gibt der Impulsgeber 28 ein Impuls-
signal P1 synchron mit dem Signal G1 mit einer vorgegeben-
en Impulsbreite aus. Das Impulssignal P1 wird der verän-
derlichen Verzögerungsschaltung 29₁ zugeführt, worin eine
hochaufgelöste Verzögerungszeit, die kürzer ist als der Prüf-
taktzyklus, hinzugefügt wird.

Wie in Fig. 7a dargestellt ist, ist eine Grundform der ver-
änderlichen Verzögerungsschaltung 29 eine fein veränderliche
Verzögerungsschaltung 38 vom analogen Typ. Die maxi-
male Verzögerungszeit von dieser ist beispielsweise eine
Zykluslänge des Prüftakts T_{clk1} , wie beispielsweise 8 ns
(Nanosekunden). Eine solche veränderliche Verzögerungs-
schaltung besteht typischerweise aus einer großen Anzahl
von in Reihe geschalteten Halbleiterbauteilen, wie CMOS-
Gattern, deren Signalausbreitungsverzögerungen durch Än-
dern der zugeführten Spannungen geregelt werden. Eine sol-
che veränderliche Verzögerungsschaltung ist auf dem Fach-
gebiet wohlbekannt und wird häufig in einem Halbleiter-
Prüfsystem verwendet, um Zeitsignale mit hoher Auflösung
zu erzeugen.

Nach dem Empfang der hochaufgelösten Verzögerungs-
daten HRI vom Zeitdatengenerator TGD1 fügt die verän-
derliche Verzögerungsschaltung 29₁ dem Impulssignal P1
eine durch die Daten HRI festgelegte hochaufgelöste Verzö-
gerungszeit hinzu. Die zeitliche Auflösung der veränderli-
chen Verzögerungsschaltung 29₁ liegt beispielsweise im Be-
reich von einigen zehn Pikosekunden. Demgemäß wird von
der veränderlichen Verzögerungsschaltung 29₁ ein Setzim-
pulssignal SP1 mit einer hochaufgelösten Verzögerungszeit
erzeugt und dem Eingang der ODER-Schaltung 27 zuge-
führt. Dieses Setzimpulssignal SP1 legt eine ansteigende
Flanke des Prüfsignals W1 für die DUT 20 fest.

In ähnlicher Weise führen die Zeitimpulsgeneratoren (2),
(3) und (4) der ODER-Schaltung 27 jeweils Setzimpulssi-
gnale SP2, SP3 und SP4 zu. Demgemäß empfängt das

ODER-Gatter 27 vier Impulssignale parallel und gibt das
Setzimpulssignal SP10 aus, das eine logische Summe der
vier Impulssignale ist. Mit anderen Worten arbeitet der Setz-
impulsgenerator 14 parallel zu einem seriellen Wandler.

Der Flipflop 70 ist ein Setz-Rücksetz-Flipflop in der Art
eines RS-Flipflops. Der Flipflop 70 empfängt das Setzim-
pulssignal SP10 vom Setzimpulsgenerator 14 am Setzan-
schluß, wodurch der Ausgang auf einen hohen Pegel gesetzt
wird. In ähnlicher Weise empfängt der Flipflop 70 das Rück-
setzimpulssignal RP11 am Rücksetzanschluß vom Rück-
setzimpulsgenerator 15, wodurch der Ausgang auf einen
niedrigen Pegel gelegt wird. Dementsprechend erzeugt der
Flipflop 70 die Prüfwelle W1 mit einer durch das Setzim-
pulssignal festgelegten ansteigenden Flanke und einer durch
das Rücksetzimpulssignal festgelegten abfallenden Flanke.
Die Prüfwelle W1 wird der DUT 20 durch den Treiber 18
zugeführt.

Bei der herkömmlichen Technik weist der oben beschrie-
bene Taktgenerator einen Nachteil hinsichtlich der Genauig-
keit der Zeitsteuerung auf, wenn die Prüfwelle W1 erzeugt
wird. Das Problem der Genauigkeit der Zeitsteuerung tritt
bei der parallelen Anordnung der veränderlichen Verzöge-
rungsschaltungen 29₁–29₄ auf. Wie zuvor ist die veränderliche
Verzögerungsschaltung 29 in jeder der vier Phasen der
Verschachtelungskonfiguration vorgesehen und wird ab-
wechselnd ausgewählt, um ein serielles Signal zu erzeugen.
Demgemäß erzeugt die veränderliche Verzögerungsschal-
tung 29 die Setzimpulssignale SP1–SP4 (oder Rücksetzim-
pulse RP1–RP4) mit den vorgegebenen Zeitsteuerungen.

Wie oben erwähnt wurde, sind die veränderlichen Verzö-
gerungsschaltungen 29 typischerweise durch in Reihe ge-
schaltete Verzögerungselemente, typischerweise CMOS-
Gatter, konfiguriert, deren Verzögerungszeiten gewöhnlich
voneinander verschieden sind. Weiterhin weisen die Verzö-
gerungszeiten der CMOS-Gatter bei Änderungen der Umge-
bungstemperatur unterschiedliche Eigenschaften auf. We-
gen solcher Unterschiede bei den Verzögerungselementen
ist jede der veränderlichen Verzögerungsschaltungen 29 für
jede Phase nicht genau mit einer anderen identisch. Folglich
ändert sich jedes der Setzimpulssignale SP1–SP4 von der
veränderlichen Verzögerungsschaltung anders als ein ande-
res.

Daher ergeben sich bei der zeitlichen Beziehung A aus
Fig. 7b die in Fig. 7b mit einem Bezugszeichen B darge-
stellten Setzimpulssignale, die relative Zeitfluktuationen,
also Verschachtelungsschwankungen (Phasenschwankun-
gen) bzw. Jitter aufweisen. Typischerweise ist die maximale
Schwankung in einer solchen Situation zum zweifachen der
maximalen zeitlichen Auflösung äquivalent. Falls die maxi-
male zeitliche Auflösung des vorgesehenen Taktgenerators
daher 50 Pikosekunden beträgt, kann die maximale Schwan-
kung von 100 Pikosekunden den Setzimpulssignalen anhaf-
ten. Ähnliche Schwankungen werden in ähnlicher Weise im
Rücksetzimpulssignal hervorgerufen. Weil die veränderli-
chen Verzögerungsschaltungen weiterhin, wie oben erwähnt
wurde, unterschiedliche Temperatureigenschaften aufwei-
sen, ändern sich die relativen Verzögerungszeiten zwischen
den Setzimpulsen und zwischen den Rücksetzimpulsen mit
Temperaturänderungen, wenn sie verschachtelt werden.

Demgemäß ist der herkömmliche Taktgenerator uner-
wünscht, weil bei der an die DUT anzulegenden Prüfwelle
Verschachtelungsschwankungen und relative zeitliche Fluk-
tuationen auftreten. Weil die Genauigkeit der Zeitsteuerung
beim Halbleiter-Prüfsystem einer der wichtigsten Faktoren
ist, sind die Verschachtelungsschwankungen und relativen
zeitlichen Fluktuationen ernste Nachteile beim Prüfen von
Halbleitern. Weiterhin erhöht das Bereitstellen der verän-
derlichen Verzögerungsschaltung bei jeder Phase der Ver-

schachtelungsarchitektur die Größe des Halbleiter-Prüfsystems und die Anzahl seiner Bestandteile.

Eine Aufgabe der vorliegenden Erfindung besteht daher darin, ein Halbleiter-Prüfsystem bereit zustellen, das die Genauigkeit der Zeitsteuerung des Verzögerungsimpulssignals weiter verbessern kann, wobei das Verzögerungsimpulssignal in der Verschachtelungskonfiguration erzeugt wird.

Eine andere Aufgabe der vorliegenden Erfindung besteht darin, ein Halbleiter-Prüfsystem bereitzustellen, das einen Taktgenerator mit einer Verschachtelungsarchitektur aufweist, der keine zeitlichen Fluktuationen oder Schwankungen im Verzögerungsimpulssignal erzeugt.

Eine weitere Aufgabe der vorliegenden Erfindung besteht darin, ein Halbleiter-Prüfsystem bereitzustellen, das einen Taktgenerator mit einer Verschachtelungsarchitektur aufweist, bei der die Genauigkeit der Zeitsteuerung weniger empfindlich gegenüber Änderungen der Umgebungstemperatur ist.

Eine weitere Aufgabe der vorliegenden Erfindung besteht darin, ein Halbleiter-Prüfsystem bereitzustellen, das einen Taktgenerator mit einer Verschachtelungsarchitektur aufweist, wobei die Anzahl der Schaltungsbestandteile und die Kosten verringert werden können.

Beim Halbleiter-Prüfsystem gemäß der vorliegenden Erfindung wird der Verschachtelungsvorgang durch eine logische Schaltung vorgenommen, wobei die sich darin befindenden Signale mit dem schnellen Takt synchronisiert sind und eine veränderliche Verzögerungsschaltung die Signale von der logischen Schaltung mit einer hochaufgelösten Verzögerungszeit versieht. Es gibt demnach keinen Verschachtelungsvorgang in der veränderlichen Verzögerungsschaltung, was dazu führt, daß es keine Verschachtelungsschwankungen gibt.

Gemäß einer Ausführungsform der vorliegenden Erfindung umfaßt der Taktgenerator für ein Halbleiter-Prüfsystem mehrere Zeitdatengeneratoren, die parallel angeordnet sind und denen ein erstes Taktsignal zugeführt wird, wobei jeder der Zeitdatengeneratoren ein Grob-Zeitsignal und Verzögerungszeitdaten auf der Grundlage von durch ein Prüfprogramm zugeführten Zeitdaten erzeugt, eine mit einem zweiten Taktsignal versehene Multiplexiereinrichtung mit einer Frequenz, die höher ist als diejenige des ersten Taktsignals, zum parallelen Empfangen der Grob-Zeitsignale und der Verzögerungsdaten, die ein ausgewähltes der Grob-Zeitsignale und eine ausgewählte Einheit der Verzögerungsdaten seriell erzeugt, und eine veränderliche Verzögerungsschaltung, die das Grob-Zeitsignal und die Verzögerungsdaten von der Multiplexiereinrichtung empfängt, um das Grob-Zeitsignal mit einer durch die Verzögerungsdaten festgelegten Verzögerungszeit zu versehen.

Gemäß der zweiten Ausführungsform der vorliegenden Erfindung umfaßt ein Halbleiter-Prüfsystem zum Prüfen einer Halbleitervorrichtung durch Zuführen von Prüfsignalen mit vorgegebenen Zeitsteuerungen zu einer geprüften Halbleitervorrichtung (DUT): einen Mustergenerator zum Erzeugen eines Prüfmustersignals und von Zeitinformationen des Prüfmustersignals auf der Grundlage eines Prüfprogramms, einen Setzimpulsgenerator zum Erzeugen eines Setzimpulses, der eine ansteigende Flanke des der DUT zuzuführenden Prüfmustersignals festlegt, einen Rücksetzimpulsgenerator zum Erzeugen eines Rücksetzimpulses, der eine abfallende Flanke des der DUT zuzuführenden Prüfmustersignals festlegt, eine Flipflop-Schaltung zum Erzeugen des Prüfmustersignals, wobei die ansteigende Flanke durch den Setzimpuls vom Setzimpulsgenerator festgelegt ist und wobei die abfallende Flanke durch den Rücksetzimpuls vom Rücksetzimpulsgenerator festgelegt ist, wobei der Setzimpulsgenerator und der Rücksetzimpulsgenerator jeweils aufwei-

sen: mehrere Zeitdatengeneratoren, die parallel angeordnet sind und denen ein erstes Taktsignal zugeführt wird, wobei jeder der Zeitdatengeneratoren ein Grob-Zeitsignal und Verzögerungszeitdaten auf der Grundlage von durch das Prüfprogramm zugeführten Zeitdaten erzeugt, eine mit einem zweiten Taktsignal versehene Multiplexiereinrichtung mit einer Frequenz, die höher ist als diejenige des ersten Taktsignals, zum parallelen Empfangen der Grob-Zeitsignale und der Verzögerungsdaten, die ein ausgewähltes der Grob-Zeitsignale und eine ausgewählte Einheit der Verzögerungsdaten seriell erzeugt, und eine veränderliche Verzögerungsschaltung, die das Grob-Zeitsignal und die Verzögerungsdaten von der Multiplexiereinrichtung empfängt, um das Grob-Zeitsignal mit einer durch die Verzögerungsdaten festgelegten Verzögerungszeit zu versehen.

Weiterhin besteht die veränderliche Verzögerungsschaltung bei der vorliegenden Erfindung aus einer logischen Verzögerungsschaltung zum Verzögern des Grob-Zeitsignals um ein ganzzahliges Vielfaches einer Zykluslänge des zweiten Taktsignals und einer in Reihe mit der logischen Verzögerungsschaltung geschalteten analogen Verzögerungsschaltung zum Verzögern des Grob-Zeitsignals um eine Zeitdauer, die ein Bruchteil einer Zykluslänge des zweiten Taktsignals ist, auf der Grundlage der von der Multiplexiereinrichtung empfangenen Verzögerungsdaten.

Die logische Verzögerungsschaltung ist mit in Reihe geschalteten Flipflop-Schaltungen und einem Multiplexer versehen, der Ausgaben der Flipflop-Schaltungen empfängt und eine der Ausgaben auswählt, wobei die analoge Verzögerungsschaltung mit mehreren in Reihe geschalteten CMOS-Gattern versehen ist.

Weil es bei der vorliegenden Erfindung bei den veränderlichen Verzögerungsschaltungen keinen Verschachtelungsvorgang gibt, treten die bei der herkömmlichen Technik vorhandenen Verschachtelungsschwankungen beim Verschachteln von Impulssignalen in den veränderlichen Verzögerungsschaltungen nicht mehr auf. Weil weiterhin nur eine veränderliche Verzögerungsschaltung verwendet wird, können die Schaltungsbestandteile und die Schaltungsgröße erheblich verringert sein. Weil der veränderlichen Verzögerungsschaltung weiterhin die hochaufgelöste Verzögerungszeit zugewiesen ist, die kleiner ist als diejenige beim herkömmlichen Beispiel, sind auch die Verzögerungszeitfluktuationen infolge der Temperaturänderung erheblich verringert.

Die Ausführungsformen der vorliegenden Erfindung werden mit Bezug auf die Zeichnung erklärt.

Fig. 1 ist ein Blockdiagramm zur Darstellung eines Beispiels einer Konfiguration eines Taktgenerators beim Halbleiter-Prüfsystem gemäß der vorliegenden Erfindung mit einer Vierphasen-Verschachtelungsarchitektur.

Fig. 2a ist ein Blockdiagramm zur Darstellung eines Beispiels einer veränderlichen Verzögerungsschaltung für den Taktgenerator gemäß der vorliegenden Erfindung, und Fig. 2b ist ein Zeitablaufdiagramm zur Darstellung einer Arbeitsweise der veränderlichen Verzögerungsschaltung von Fig. 2a.

Fig. 3 ist ein Zeitablaufdiagramm zur Darstellung einer Arbeitsweise des Halbleiter-Prüfsystems aus Fig. 1 und der veränderlichen Verzögerungsschaltung aus Fig. 2a.

Die Fig. 4a und 4b sind schematische Diagramme zur Darstellung von Beispielen einer Konfiguration zum Erzeugen der bei den Ausführungsformen aus den Fig. 1 und 8 zu verwendenden Prüftakte.

Fig. 5 ist ein schematisches Diagramm zur Darstellung einer Grundanordnung eines Halbleiter-Prüfsystems mit einer Verschachtelungsarchitektur bei der herkömmlichen Technik.

Fig. 6 ist ein Blockdiagramm zur Darstellung einer Konfiguration des herkömmlichen Taktgenerators beim Beispiel aus Fig. 5 mit der Verschachtelungsanordnung.

Fig. 7a ist ein schematisches Diagramm zur Darstellung einer Grundanordnung einer veränderlichen Verzögerungsschaltung für den herkömmlichen Taktgenerator, und Fig. 7b ist ein Zeitablaufdiagramm zur Darstellung einer Arbeitsweise der veränderlichen Verzögerungsschaltung aus Fig. 7a.

Fig. 8 ist ein Blockdiagramm zur Darstellung einer weiteren Ausführungsform der vorliegenden Erfindung, die in einem Verzögerungszeitgenerator mit einer Vierphasen-Verschachtelungsarchitektur aufgenommen ist.

Die erste Ausführungsform der vorliegenden Erfindung wird mit Bezug auf die Fig. 1–4 erklärt.

Das Blockdiagramm aus Fig. 1 zeigt eine Konfiguration des Taktgenerators gemäß der vorliegenden Erfindung entsprechend einem Prüfkanal (Prüfvorrichtungs-Anschlußstift) zum Erzeugen einer Prüfwelle für einen entsprechenden Anschlußstift einer zu prüfenden Vorrichtung. Beim Beispiel aus Fig. 1 ist nur ein Setzimpulsgenerator detailliert dargestellt, weil ein Rücksetzimpulsgenerator die gleiche Konfiguration wie der Setzimpulsgenerator aufweist. Weiterhin weist der Taktgenerator beim Beispiel aus Fig. 1 eine Vierphasen-Verschachtelungskonfiguration auf, wenngleich auch eine andere Anzahl von Phasen möglich ist. Die Funktionsblöcke, die mit denen aus dem herkömmlichen Beispiel aus den Fig. 5 und 6 identisch sind, sind mit den gleichen Bezugszahlen bezeichnet.

Die Ausführungsform aus Fig. 1 weist einen Mustererzeugungsblock 500, einen Setzimpulsgenerator 310, einen Rücksetzimpulsgenerator 320 und einen Flipflop 70 auf. Der Mustererzeugungsblock 500 weist vier Mustergeneratoren PG1–PG4 auf. Der Setzimpulsgenerator 310 weist einen Zeitsteuerdaten-Erzeugungsblock 100, einen Zeitsteuerwähler 200, einen Impulsgeber 28 sowie eine veränderliche Verzögerungsschaltung 30b auf. Der Zeitdaten-Erzeugungsblock 100 weist vier Zeitdatengeneratoren TGD1–TGD4 auf. Der Mustergenerator PG1–PG4 erzeugt u. a. Zeitinformationen auf der Grundlage eines Prüfprogramms zum Erzeugen von Prüfwellen, die der geprüften Vorrichtung zuzuführen sind. Die Mustergeneratoren PG1–PG4 und die Zeitdatengeneratoren TGD1–TGD4 weisen im wesentlichen den gleichen Aufbau auf wie das herkömmliche Beispiel aus Fig. 6, und ihnen wird ein erster Prüftakt T_{clk1} zugeführt.

Der Zeitdatenwähler 200 weist Multiplexer (MUX) 21 und 22, einen Zähler 23 und einen Flipflop 25 auf. Dem Zeitdatenwähler 200 wird ein zweiter Prüftakt T_{clk2} zugeführt, dessen Frequenz viermal höher ist als diejenige des ersten Prüftakts T_{clk1} . Insbesondere weist der zweite Prüftakt T_{clk2} eine Frequenz auf, die L mal höher ist als diejenige des ersten Prüftakts T_{clk1} , wobei L die Anzahl der Verschachtelungsphasen ist.

Beim Setzimpulsgenerator 310 ist anders als beim herkömmlichen Beispiel, bei dem vier veränderliche Verzögerungsschaltungen 29 vorgesehen sind, nur eine veränderliche Verzögerungsschaltung 30b vorgesehen, um die hochaufgelösten Zeitsteuerungen des Setzimpulssignals zu erzeugen. Dem Impulsgeber 28 und der veränderlichen Verzögerungsschaltung 30b wird der zweite Prüftakt T_{clk2} zugeführt.

Jeder der Taktgeneratoren PG1–PG4 liefert dem entsprechenden der Zeitdatengeneratoren TGD1–TGD4 synchron mit dem ersten Prüftakt T_{clk1} Setzimpuls-Zeitinformationen. Nach dem Empfang der Setzimpuls-Zeitinformationen vom Mustergenerator PG1 erzeugt der Zeitdatengenerator TGD1 ein Grob-Setzsignal G1, das durch ein ganzzahliges Vielfä-

ches des ersten Prüftakts T_{clk1} definiert ist. Die Wiederholungsrate des Grobsetzsignals G1 definiert eine Prüfrate des aktuellen Prüfzyklus im Prüfsystem. Der Zeitdatengenerator TGD1 erzeugt auch hochaufgelöste Verzögerungsdaten HR1 mit einer Bitbreite von M .

In ähnlicher Weise erzeugen die anderen Zeitdatengeneratoren TGD2, TGD3 und TGD4 jeweils auf der Grundlage der Zeitinformationen vom Mustergenerator PG Setzsignale G2, G3 bzw. G4 und hochaufgelöste Verzögerungsdaten HR2, HR3 und HR4, wie in Fig. 1 dargestellt ist. Die Grob-Setzsignale G1–G4 werden dem Multiplexer 21 zugeführt, und die hochaufgelösten Verzögerungsdaten HR1–HR4 werden dem Multiplexer 22 zugeführt. Jeder der Multiplexer 21 und 22 wirkt als ein Wähler, bei dem eine der gewählten Eingaben am Ausgang erzeugt wird.

In Fig. 1 ist der Multiplexer 21 ein Wähler mit 4 Eingängen und einem Ausgang. Nach dem Empfang des Auswahlsignals 23a vom Zähler 23 wählt der Multiplexer 21 eines der vom Auswahlsignal 23a angegebenen Setzsignale G1–G4 aus und gibt dieses aus. Der Flipflop 25 empfängt das ausgewählte Setzsignal und gibt ein Setzsignal G6 aus, das mit dem zweiten Prüftakt T_{clk2} synchronisiert (mit einer neuen Zeitsteuerung versehen) ist, wobei der zweite Prüftakt T_{clk2} eine Frequenz hat, die viermal höher ist als diejenige des ersten Prüftakts T_{clk1} . Demgemäß werden die Setzsignale beim Ausgangsanschluß des Flipflops 25 durch den Prüftakt T_{clk2} hinsichtlich ihrer Zeitsteuerung angepaßt.

Der Multiplexer 22 weist M Kanäle der Multiplexer mit 4 Eingängen und einem Ausgang auf, um die hochaufgelösten Verzögerungsdaten HR1–HR4 zu empfangen. Jede der Einheiten der hochaufgelösten Daten besteht aus M Bits. Ähnlich wie bei der oben gegebenen Beschreibung bezüglich des Multiplexers 21 wird das Auswahlsignal 23a vom Zähler 23 zugeführt. Nach dem Empfang des Auswahlsignals 23a wählt der Multiplexer 22 eine der Einheiten der hochaufgelösten Verzögerungsdaten HR1–HR4 am Ausgang aus. Die gewählte Einheit HR5 der hochaufgelösten Verzögerungsdaten wird der veränderlichen Verzögerungsschaltung 30b zugeführt, um darin die Feinverzögerungszeit festzulegen.

Der Zähler 23 ist beispielsweise ein 2-Bit-Binärzähler, der ausreicht, jede beliebige der vier Phasen in der Verschachtelungsarchitektur zu spezifizieren. Der Zähler 23 empfängt an seinem Eingangsanschluß ein Setzimpulssignal SP1 vom Ausgangsanschluß der veränderlichen Verzögerungsschaltung 30b, um die Anzahl der Impulse zu zählen. Wie zuvor werden die Setzsignale G1–G4 und die hochaufgelösten Verzögerungsdaten HR1–HR4 von den Zeitdatengeneratoren TGD1–TGD4 nachfolgend durch die Arbeitsweise der Multiplexer 21 und 22 ausgewählt.

Nach dem Empfang des Setzsignals G6 wandelt der Impulsgeber 28 das Setzsignal in ein Impulssignal P1 um, das eine vorgegebene Impulsbreite aufweist, und wird mit dem zweiten Prüftakt T_{clk2} synchronisiert. Dadurch werden Impulse mit der Zeitsteuerung des zweiten Prüftakts T_{clk2} sequentiell durch den Impulsgeber 28 erzeugt. Die hochaufgelöste Verzögerungszeit wird, wie weiter unten beschrieben wird, durch die veränderliche Verzögerungsschaltung 30b zu den Impulsen addiert.

Die veränderliche Verzögerungsschaltung 30b gemäß der vorliegenden Erfindung ist anders konfiguriert als die veränderliche Verzögerungsschaltung 29 gemäß der herkömmlichen Technik nach Fig. 7a. Wie in Fig. 2a dargestellt ist, besteht die veränderliche Verzögerungsschaltung 30b aus Flipflops 32, 33 und 34, einem Multiplexer (MUX) 35, einer Gatterschaltung 37 und einer veränderlichen Feinverzögerungsschaltung 38b.

Die Flipflops 32, 33 und 34 und der Multiplexer 35 spie-

len eine Rolle beim Erzeugen einer Verzögerungszeit, die ein ganzzahliges Vielfaches des zweiten Prüftakts T_{clk2} , beispielsweise Inkremente von 2 ns (Nanosekunden) ist. Wie in Fig. 2b dargestellt ist, wird den in Reihe geschalteten Flipflops 32–34 der zweite Takt T_{clk2} zugeführt, so daß die Impulssignale P1–P4, die nacheinander durch den zweiten Prüftakt T_{clk2} verschoben werden, den jeweiligen Eingangsanschlüssen des Multiplexers 35 zugeführt werden. Bei diesem Beispiel werden die oberen 2 Bits der hochaufgelösten Verzögerungsdaten HR5 dem Auswahlsteuer-Eingangsanschluß des Multiplexers 35 zugeführt. Wenn die Frequenz der Prüfrate die maximale Frequenz ist, die der Frequenz des zweiten Prüftakts T_{clk2} gleicht, werden die hochaufgelösten Verzögerungsdaten HR5 mit einer Breite von M Bits bei jedem Zyklus des Prüftakts T_{clk2} fortlaufend zugeführt. Demgemäß wird das Impulssignal P5 aus Fig. 2b fortlaufend durch den Multiplexer 35 zugeführt.

Nach dem Empfang des Impulssignals P5 vom Multiplexer 35 liefert die Gatterschaltung 37 ein Impulssignal P6, das mit dem Bezugstakt REFCLK für die veränderliche Feinverzögerungsschaltung 38b synchronisiert ist. Wenn gleich die Verwendung des Bezugstakts REFCLK bei der vorliegenden Erfindung nicht wesentlich ist, besteht ein praktischer Vorteil darin, die Zeitsteuerung der Signale durch den hochgenauen Bezugstakt zu vereinheitlichen.

Weil der größere Teil der veränderlichen Verzögerungszeit durch die Flipflops 32–34 erreicht wird, muß die veränderliche Feinverzögerungsschaltung 38b eine kurze Verzögerungszeit haben, die geringer ist als ein Zyklus des zweiten Prüftakts T_{clk2} , der beim vorhergehenden Beispiel 2 ns (Nanosekunden) beträgt. Nach dem Empfang des Impulssignals P6 von der Gatterschaltung 37 und der unteren Bits (M–2) der hochaufgelösten veränderlichen Verzögerungsdaten HR5 gibt die veränderliche Verzögerungsschaltung 38b das Setzimpulssignal SP1 aus, das um die Verzögerungszeit verzögert ist, die durch die Zeitsteuerungsdaten vom Mustergenerator festgelegt ist.

Wie zuvor beschrieben wird bei der vorliegenden Erfindung im Taktgenerator der Vierphasen-Verschachtelungsarchitektur nur eine veränderliche Verzögerungsschaltung verwendet. Es gibt daher keine durch die Fluktuationen zwischen den mehreren veränderlichen Verzögerungsschaltungen hervorgerufenen Verschachtelungsschwankungen, die bei der herkömmlichen Technik auftreten. Weiterhin wird ein Gesamt-Taktgenerator bei geringen Kosten und mit geringer Größe verwirklicht, weil die zahlreichen Verzögerungselemente, wie CMOS-Gatter, für die veränderliche Verzögerungsschaltung fortgelassen werden können.

Weiterhin beträgt die maximale Verzögerungszeit, die von der veränderlichen Feinverzögerungsschaltung 38b erzeugt werden muß, beim vorhergehenden Beispiel ein Viertel derjenigen des Beispiels jeder der veränderlichen Verzögerungsschaltungen 29 beim herkömmlichen Beispiel aus Fig. 6. Weil die Verzögerungszeiten von den veränderlichen Verzögerungselementen, wie CMOS-Gattern, von der Temperatur abhängen, ist die Verzögerungszeitänderung bei der vorliegenden Erfindung auch auf ein Viertel derjenigen des herkömmlichen Beispiels verringert. Aus dem gleichen Grund können auch Phasenschwankungen infolge von anderen Ursachen, wie ein Übersprechen zwischen Impulssignalen in den benachbarten Schaltungsbestandteilen, um einen Faktor vier verringert sein.

Wie in Fig. 4a dargestellt ist, kann der zweite Prüftakt T_{clk2} durch Multiplizieren des ersten Prüftakts T_{clk1} mit vier durch einen Multiplizierer 80 erzeugt werden. Umgekehrt kann der erste Prüftakt T_{clk1} durch Dividieren des zweiten Prüftakts T_{clk2} durch einen Teiler 82 erzeugt werden, wie in Fig. 4b dargestellt ist.

Der Verschachtelungsvorgang gemäß der vorliegenden Erfindung wird weiter mit Bezug auf das Zeitablaufdiagramm aus Fig. 3 erklärt. Es wird bei diesem Beispiel angenommen, daß die vier Phasen (Parallelschaltung der Zeitdatengeneratoren TGD1–TGD4) in der Verschachtelungsstruktur in der Reihenfolge von A, B, C und D in Fig. 3 ausgewählt werden. Eine Zykluszeitlänge des ersten Prüftakts T_{clk1} beträgt 8 ns (Nanosekunden), und eine Zykluszeitlänge des zweiten Prüftakts T_{clk2} beträgt 2 ns.

Bei diesem Beispiel weisen die hochaufgelösten Verzögerungsdaten HR1–HR4 sowohl das ganzzahlige Vielfache des Prüftakts T_{clk1} als auch den Bruchteil des Prüftakts T_{clk1} auf. Die hochaufgelöste Verzögerungszeit HR1 in Fig. 3A ist "8 nsx0 + 2 nsx1 + 1 ns", die hochaufgelösten Verzögerungsdaten HR2 in Fig. 3B sind "8 nsx3 + 2 nsx0 + 0,5 ns", die hochaufgelösten Verzögerungsdaten HR3 in Fig. 3C sind "8 nsx2 + 2 nsx1 + 0,5 ns", und die hochaufgelösten Verzögerungsdaten HR4 in Fig. 3D sind "8 nsx1 + 2 nsx3 + 0 ns". Weiterhin ist der zweite Zyklus der hochaufgelösten Verzögerungsdaten HR1 "8 nsx1 + 2 nsx0 + 0 ns", wie in Fig. 3A dargestellt ist.

Bei den hochaufgelösten Verzögerungsdaten HR1–HR4 ist der Teil, der das Vielfache von 8 ns aufweist, die Verzögerungszeit der Grob-Setzsignale G1–G4 in der Einheit des Zyklus des Prüftakts T_{clk1} . Diese Grob-Verzögerungen werden durch den jeweiligen der Zeitdatengeneratoren TGD1–TGD4 erreicht. Demgemäß werden die Grob-Setzsignale G1–G4 mit der in Fig. 3 durch #1–#5 dargestellten Zeitsteuerung erzeugt. Bei den hochaufgelösten Verzögerungsdaten HR1–HR4 ist der zweite Teil, der das Vielfache von 2 ns aufweist, die durch die oberen 2 Bits der Verzögerungsdaten von Fig. 2a ausgedrückte Verzögerungszeit, und sie wird durch die Flipflops 32–34 in der Einheit des Zyklus des Prüftakts T_{clk2} erreicht. Der letzte Teil der Verzögerungsdaten, der kleiner ist als 2 ns, ist eine durch die M–2 Bits aus Fig. 2a ausgedrückte Verzögerungszeit, die durch die veränderliche Feinverzögerungsschaltung 38b zu erreichen ist.

Wie in Fig. 3E dargestellt ist, wählt das Auswahlsignal 23a des Zählers 23 die hochaufgelösten Verzögerungsdaten in der Reihenfolge HR1, HR2, HR3, HR4 und HR1 aus. Der Impulsgeber 28 liefert der veränderlichen Verzögerungsschaltung 30b den Setzimpuls P1 aus Fig. 3F auf der Grundlage des ausgewählten Grob-Setzimpulses. Die Flipflops 32–34 und der Multiplexer 35 liefern die Verzögerungszeiten in der Einheit von 2 ns, um den Setzimpuls P6 aus Fig. 3G zu erzeugen. Der abschließende Setzimpuls SP1 aus Fig. 3H wird durch die Feinverzögerungsschaltung 38b durch Addieren einer Feinverzögerungszeit erzeugt, die kleiner ist als der zweite Zyklus des Prüftakts T_{clk2} .

Wie zuvor gezeigt wurde, wird der Taktgenerator mit einer hochaufgelösten Zeitsteuerung unter Verwendung nur einer veränderlichen Verzögerungsschaltung 30b erreicht. Bei der vorliegenden Erfindung werden die parallel erzeugten hochaufgelösten Verzögerungsdaten HR1–HR4 durch den zweiten Takt, der schneller ist als der erste Takt, der bei den Parallelschaltungen verwendet wird, seriell kombiniert. Die kombinierten Verzögerungsdaten werden von der veränderlichen Verzögerungsschaltung 30b empfangen, worin der größere Teil der Feinverzögerungszeit durch die Logikschaltungen und den zweiten Takt erzeugt wird. Der kleinere Teil der Feinverzögerungszeit wird durch die Feinverzögerungsschaltung 38b erzeugt.

Weil es bei den veränderlichen Verzögerungsschaltungen keinen Verschachtelungsvorgang gibt, treten bei der vorliegenden Erfindung die bei der herkömmlichen Technik vorhandenen Verschachtelungsschwankungen beim Verschachteln der veränderlichen Verzögerungsschaltungen nicht

mehr auf. Weil nur eine veränderliche Verzögerungsschaltung verwendet wird, können die Schaltungsbestandteile und die Schaltungsgröße überdies erheblich verringert sein.

Die Konfiguration der vorliegenden Erfindung ist nicht auf die oben beschriebene Ausführungsform begrenzt. Beispielsweise kann die Anzahl der Verschachtelungsphasen (L) auf eine gewünschte Zahl gelegt werden, die größer als 2 ist, während die zugeordneten Schaltungen so eingerichtet werden, daß die Anzahl der Phasen, wie die Frequenzbeziehung zwischen den Takten, erfüllt werden. Die veränderliche Verzögerungsschaltung 38b kann durch die Verzögerungsschaltung aus Fig. 7a ersetzt werden. Die Flipflops in Fig. 2a können durch Schieberegister ersetzt werden.

Die vorliegende Erfindung kann auf einen anderen Teil des Halbleiter-Prüfsystems angewendet werden. In Fig. 8 ist ein Verzögerungsimpulsgenerator 300 dargestellt, der bei einem Halbleiter-Prüfsystem oder anderen Anwendungen verwendet werden kann. Der Verzögerungsimpulsgenerator 300 erzeugt durch den Verschachtelungsvorgang Impulssignale mit den durch Verzögerungsdaten festgelegten hochaufgelösten Verzögerungszeiten. Diese Verzögerungsdaten enthalten einen ganzzahligen Teil, der eine Verzögerungszeit aufweist, die ein ganzzahliges Vielfaches des Taktsignals ist, sowie einen Bruchteil, der eine Verzögerungszeit aufweist, die kürzer ist als eine Zykluszeit des Taktsignals.

Wie zuvor beschrieben wurde, treten die bei der herkömmlichen Technik vorhandenen Verschachtelungsschwankungen beim Verschachteln von Impulssignalen in den veränderlichen Verzögerungsschaltungen bei der vorliegenden Erfindung nicht mehr auf, weil es in den veränderlichen Verzögerungsschaltungen keinen Verschachtelungsvorgang gibt. Weil nur eine veränderliche Verzögerungsschaltung verwendet wird, können die Schaltungsbestandteile und die Schaltungsgröße weiterhin erheblich verringert sein. Weil der veränderlichen Verzögerungsschaltung weiterhin die hochaufgelöste Verzögerungszeit zugeordnet ist, die geringer ist als beim herkömmlichen Beispiel, ist auch die Verzögerungszeitfluktuation infolge der Temperaturänderung erheblich verringert.

Beispielsweise braucht der Taktgenerator in der Vierphasen-Verschachtelungsanordnung beim oben angegebenen Beispiel hinsichtlich der Schaltungsbestandteile nur ein Viertel der herkömmlichen veränderlichen Verzögerungsschaltungen. Weil der veränderlichen Verzögerungsschaltung weiterhin die hochaufgelöste Verzögerungszeit zugeordnet ist, die geringer ist als beim herkömmlichen Beispiel, können auch die Schaltungsbestandteile in der veränderlichen Verzögerungsschaltung verringert sein. Demgemäß kann die Gesamtgröße der veränderlichen Verzögerungsschaltung 30b gemäß der vorliegenden Erfindung auf 1/16 derjenigen des herkömmlichen Beispiels verringert sein.

Wenngleich hier eine bevorzugte Ausführungsform speziell dargestellt und beschrieben wurde, sei bemerkt, daß viele Modifikationen und Abänderungen der vorliegenden Erfindung angesichts der oben angegebenen Lehren und innerhalb des Schutzzumfangs der anliegenden Ansprüche möglich sind, ohne vom Gedanken und vom Schutzbereich der Erfindung abzuweichen.

Patentansprüche

1. Taktgenerator, der in einem Halbleiter-Prüfsystem zum Prüfen einer Halbleitervorrichtung zu verwenden ist, aufweisend:

mehrere Zeitdatengeneratoren, die parallel angeordnet sind und denen ein erstes Taktsignal zugeführt wird, wobei jeder der Zeitdatengeneratoren ein Grob-Zeitsignal und Verzögerungszeitdaten auf der Grundlage von

durch ein Prüfprogramm zugeführten Zeitdaten erzeugt,

eine mit einem zweiten Taktsignal versehene Multiplexiereinrichtung mit einer Frequenz, die höher ist als diejenige des ersten Taktsignals, zum parallelen Empfangen der Grob-Zeitsignale und der Verzögerungsdaten, welche ein ausgewähltes Grob-Zeitsignal und eine ausgewählte Einheit der Verzögerungsdaten seriell erzeugt, und

eine veränderliche Verzögerungsschaltung, die das Grob-Zeitsignal und die Verzögerungsdaten von der Multiplexiereinrichtung empfängt, um das Grob-Zeitsignal mit einer durch die Verzögerungsdaten festgelegten Verzögerungszeit zu versehen.

2. Taktgenerator nach Anspruch 1, welcher weiter einen Auswahlsignalgenerator zum Zuführen eines Auswahlsignals zur Multiplexiereinrichtung, um deren Auswahlvorgang zu steuern, aufweist.

3. Taktgenerator nach Anspruch 1 oder 2, welcher weiter einen Impulsgeber zum Erzeugen eines Impulssignals mit einer vorgegebenen Impulsbreite nach Empfang des Grob-Zeitsignals von der Multiplexiereinrichtung aufweist.

4. Taktgenerator nach einem der Ansprüche 1-3, wobei die Multiplexiereinrichtung aus einem ersten Multiplexer zum Auswählen von einem der von den mehreren Zeitdatengeneratoren empfangenen Grob-Zeitsignale und einem zweiten Multiplexer zum Auswählen von einer der von den mehreren Zeitdatengeneratoren empfangenen Verzögerungsdateneinheiten besteht.

5. Taktgenerator nach Anspruch 4, welcher weiter eine Flipflop-Schaltung aufweist, die das ausgewählte Grob-Zeitsignal vom ersten Multiplexer empfängt und das Grob-Zeitsignal synchron mit dem zweiten Taktsignal zwischenspeichert.

6. Taktgenerator nach einem der Ansprüche 1-5, wobei das zweite Taktsignal eine Frequenz aufweist, die um die Anzahl der parallel angeordneten Zeitdatengeneratoren höher ist als die Frequenz des ersten Taktsignals.

7. Taktgenerator nach einem der Ansprüche 1 bis 6, wobei die veränderliche Verzögerungsschaltung aus folgendem besteht:

einer logischen Verzögerungsschaltung zum Verzögern des Grob-Zeitsignals um ein ganzzahliges Vielfaches einer Zykluslänge des zweiten Taktsignals und einer in Reihe mit der logischen Verzögerungsschaltung geschalteten analogen Verzögerungsschaltung zum Verzögern des Grob-Zeitsignals um eine Zeitdauer, die ein Bruchteil einer Zykluslänge des zweiten Taktsignals ist, auf der Grundlage der von der Multiplexiereinrichtung empfangenen Verzögerungsdaten.

8. Taktgenerator nach Anspruch 7, wobei die logische Verzögerungsschaltung mit in Reihe geschalteten Flipflop-Schaltungen und einem Multiplexer versehen ist, der Ausgaben der Flipflop-Schaltungen empfängt und eine der Ausgaben auswählt, und wobei die analoge Verzögerungsschaltung mit mehreren in Reihe geschalteten CMOS-Gattern versehen ist.

9. Taktgenerator nach einem der Ansprüche 2 bis 8, wobei der Auswahlsignalgenerator ein Zähler ist, der nach dem Empfang eines Ausgangsimpulses mit einer festgelegten Verzögerungszeit von der veränderlichen Verzögerungsschaltung inkrementiert.

10. Halbleiter-Prüfsystem zum Prüfen einer Halbleitervorrichtung durch Zuführen von Prüfsignalen mit vorgegebenen Zeitsteuerungen zu einer geprüften Halbleitervorrichtung (DUT), aufweisend:

einen Mustergenerator zum Erzeugen eines Prüfmustersignals und von Zeitinformationen des Prüfmustersignals auf der Grundlage eines Prüfprogramms, einen Setzimpulsgenerator zum Erzeugen eines Setzimpulses, der eine ansteigende Flanke des der DUT zuzuführenden Prüfmustersignals festlegt, einen Rücksetzimpulsgenerator zum Erzeugen eines Rücksetzimpulses, der eine abfallende Flanke des der DUT zuzuführenden Prüfmustersignals festlegt, eine Flipflop-Schaltung zum Erzeugen des Prüfmustersignals, wobei die ansteigende Flanke durch den Setzimpuls vom Setzimpulsgenerator festgelegt ist und wobei die abfallende Flanke durch den Rücksetzimpuls vom Rücksetzimpulsgenerator festgelegt ist, wobei der Setzimpulsgenerator und der Rücksetzimpulsgenerator jeweils aufweisen:

15 mehrere Zeitdatengeneratoren, die parallel angeordnet sind und denen ein erstes Taktsignal zugeführt wird, wobei jeder der Zeitdatengeneratoren ein Grob-Zeitsignal und Verzögerungszeitdaten auf der Grundlage von durch das Prüfprogramm zugeführten Zeitdaten erzeugt, eine mit einem zweiten Taktsignal versehene Multiplexiereinrichtung mit einer Frequenz, die höher ist als diejenige des ersten Taktsignals, zum parallelen Empfangen der Grob-Zeitsignale und der Verzögerungsdaten, die ein ausgewähltes Grob-Zeitsignal und eine ausgewählte Einheit der Verzögerungsdaten seriell erzeugt, und

25 eine veränderliche Verzögerungsschaltung, die das Grob-Zeitsignal und die Verzögerungsdaten von der Multiplexiereinrichtung empfängt, um das Grob-Zeitsignal mit einer durch die Verzögerungsdaten festgelegten Verzögerungszeit zu versehen.

11. Halbleiter-Prüfsystem nach Anspruch 10, welches weiter einen Treiber zum Empfangen des Prüfmustersignals von der Flipflop-Schaltung und zum Zuführen des Prüfmustersignals mit einer vorgegebenen Amplitude und Wellenform zur DUT aufweist.

12. Halbleiter-Prüfsystem nach Anspruch 10 oder 11, wobei der Setzimpulsgenerator und der Rücksetzimpulsgenerator jeweils weiter einen Auswahlsignalgenerator zum Zuführen eines Auswahlsignals zur Multiplexiereinrichtung, um deren Auswahlvorgang zu steuern, aufweisen.

13. Halbleiter-Prüfsystem nach einem der Ansprüche 10 bis 12, wobei die Multiplexiereinrichtung aus einem ersten Multiplexer zum Auswählen von einem der von den mehreren Zeitdatengeneratoren empfangenen Grob-Zeitsignale und einem zweiten Multiplexer zum Auswählen von einer der von den mehreren Zeitdatengeneratoren empfangenen Verzögerungsdateneinheiten besteht.

14. Halbleiter-Prüfsystem nach einem der Ansprüche 10 bis 13, wobei der Setzimpulsgenerator und der Rücksetzimpulsgenerator jeweils weiter eine Flipflop-Schaltung aufweisen, die das ausgewählte Grob-Zeitsignal vom ersten Multiplexer empfängt und dieses synchron mit dem zweiten Taktsignal zwischenspeichert.

15. Halbleiter-Prüfsystem nach einem der Ansprüche 10 bis 14, wobei das zweite Taktsignal eine Frequenz aufweist, die um die Anzahl der parallel angeordneten Zeitdatengeneratoren höher ist als die Frequenz des ersten Taktsignals.

16. Halbleiter-Prüfsystem nach einem der Ansprüche 10 bis 15, wobei die veränderliche Verzögerungsschaltung im Setzimpulsgenerator und im Rücksetzimpulsgenerator ausfolgendem besteht:

einer logischen Verzögerungsschaltung zum Verzögern des Grob-Zeitsignals um ein ganzzahliges Vielfaches einer Zykluslänge des zweiten Taktsignals und einer in Reihe mit der logischen Verzögerungsschaltung geschalteten analogen Verzögerungsschaltung zum Verzögern des Grob-Zeitsignals um eine Zeitdauer, die ein Bruchteil einer Zykluslänge des zweiten Taktsignals ist, auf der Grundlage der von der Multiplexiereinrichtung empfangenen Verzögerungsdaten.

17. Halbleiter-Prüfsystem nach Anspruch 16, wobei die logische Verzögerungsschaltung mit in Reihe geschalteten Flipflop-Schaltungen und einem Multiplexer versehen ist, der Ausgaben der Flipflop-Schaltungen empfängt und eine der Ausgaben auswählt, und wobei die analoge Verzögerungsschaltung mit mehreren in Reihe geschalteten CMOS-Gattern versehen ist.

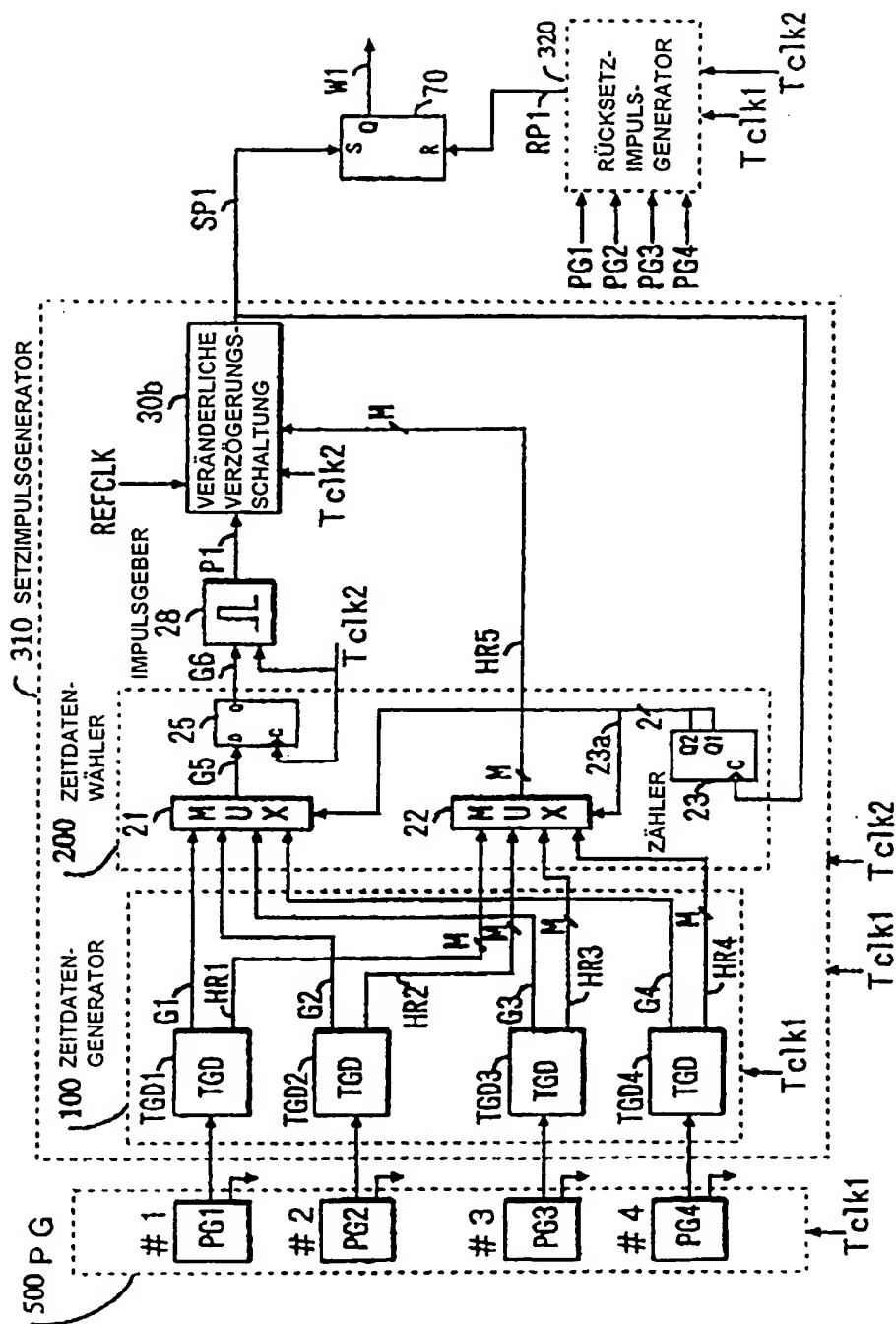
18. Halbleiter-Prüfsystem nach einem der Ansprüche 12 bis 17, wobei der Auswahlsignalgenerator ein Zähler ist, der nach dem Empfang eines Ausgangsimpulses mit einer festgelegten Verzögerungszeit von der veränderlichen Verzögerungsschaltung inkrementiert.

19. Halbleiter-Prüfsystem nach einem der Ansprüche 10 bis 18, wobei der Mustergenerator mit mehreren Mustergeneratorblöcken versehen ist, von denen jeder dem Zeitdatengenerator im Setzimpulsgenerator und dem Rücksetzimpulsgenerator entspricht, um diesen die Zeitinformationen zuzuführen.

20. Halbleiter-Prüfsystem nach einem der Ansprüche 10 bis 19, wobei die Anzahl der jeweils im Setzimpulsgenerator und im Rücksetzimpulsgenerator angeordneten Zeitdatengeneratoren vier beträgt und wobei die Frequenz des zweiten Taktsignals viermal höher ist als diejenige des ersten Taktsignals.

Hierzu 8 Seite(n) Zeichnungen

FIG.1



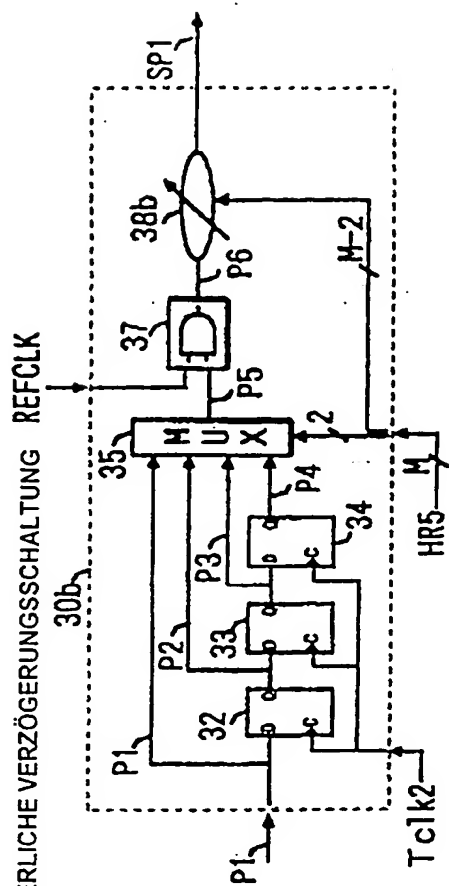


FIG. 2a

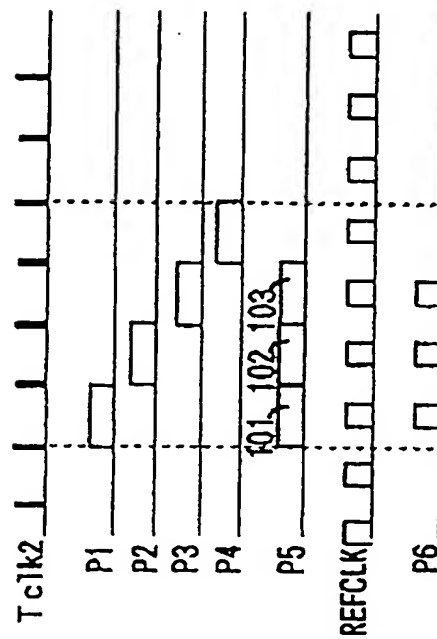
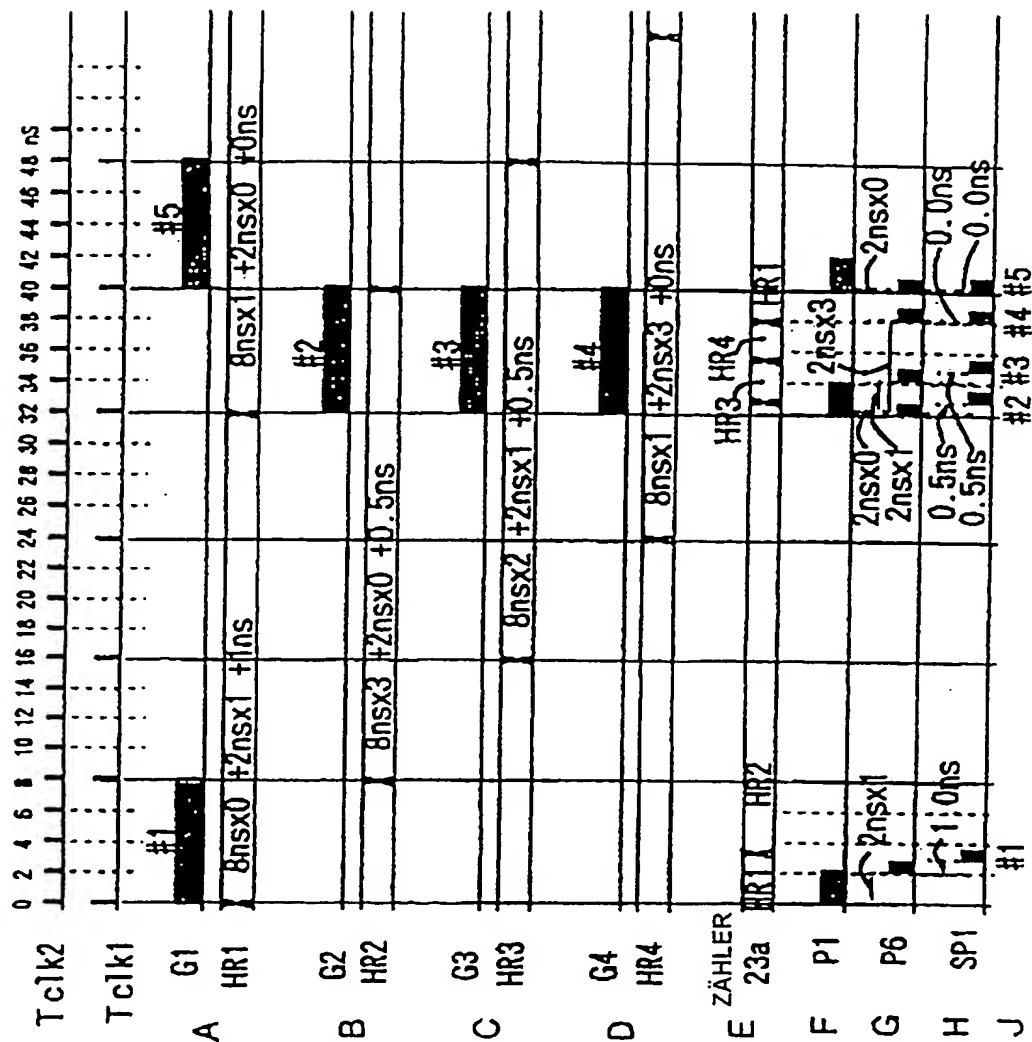
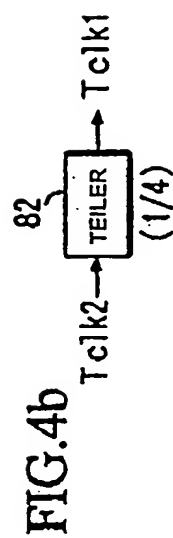
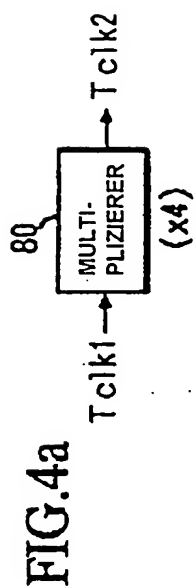
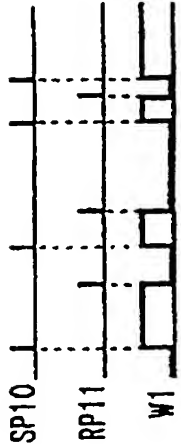
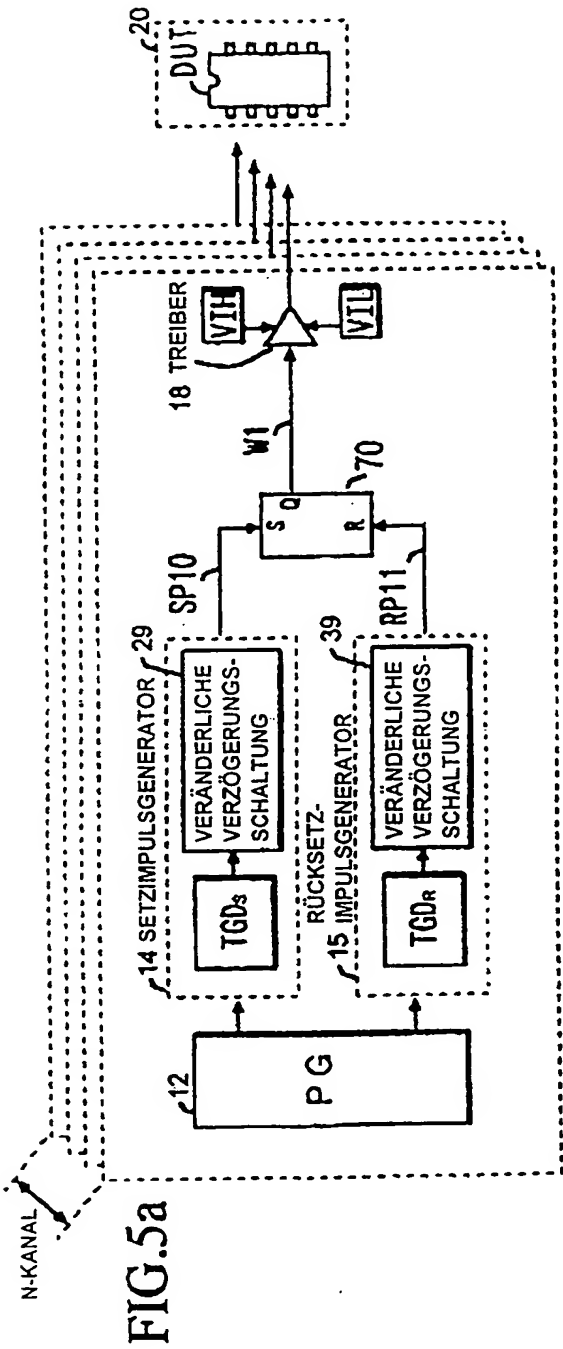
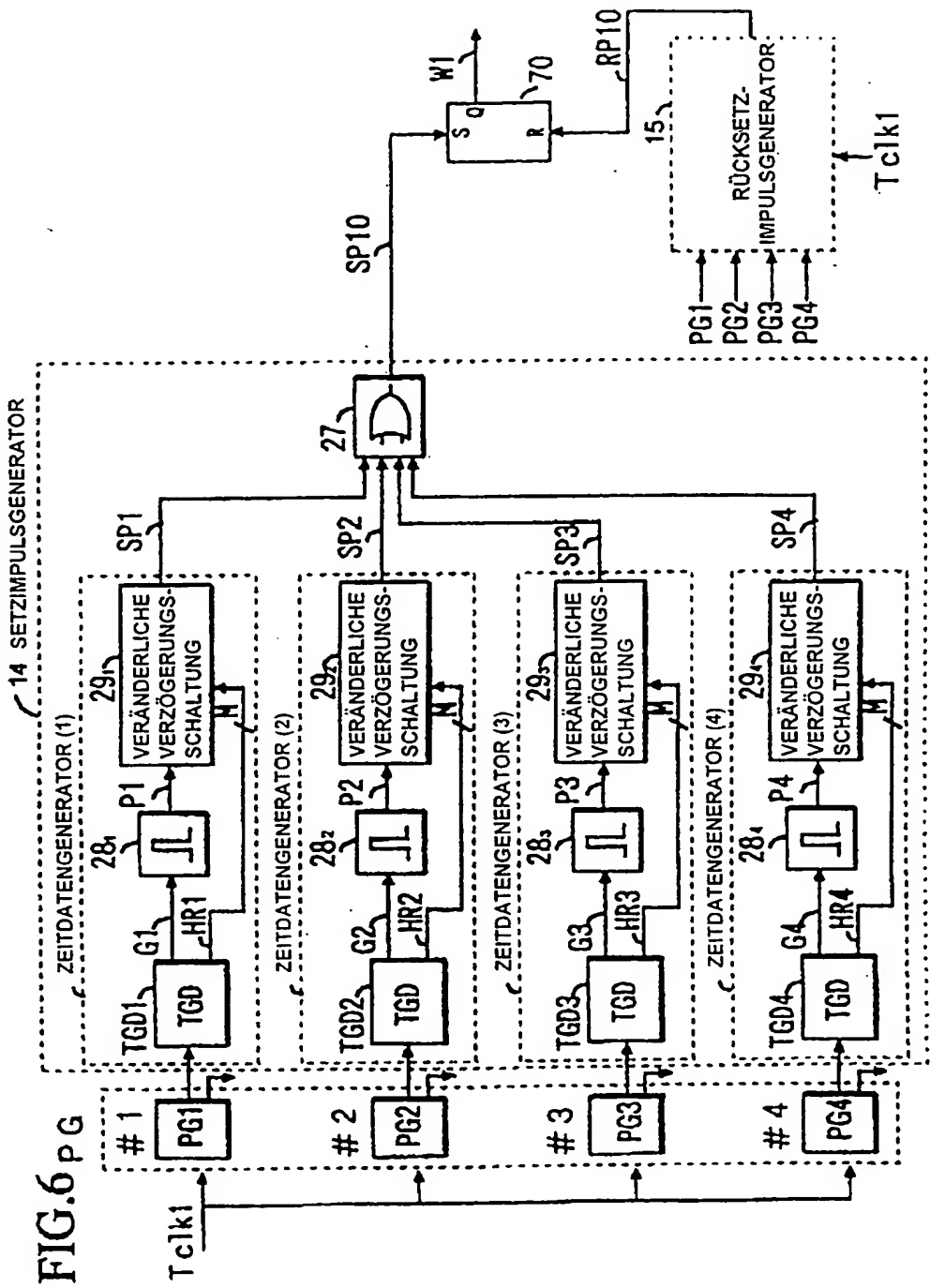


FIG2.b









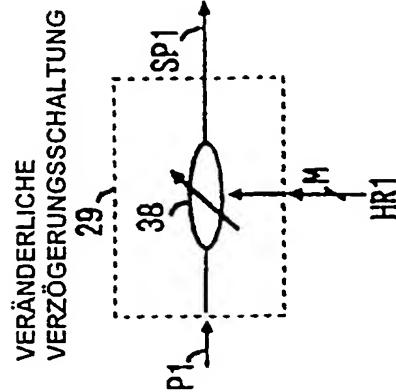


FIG. 7a

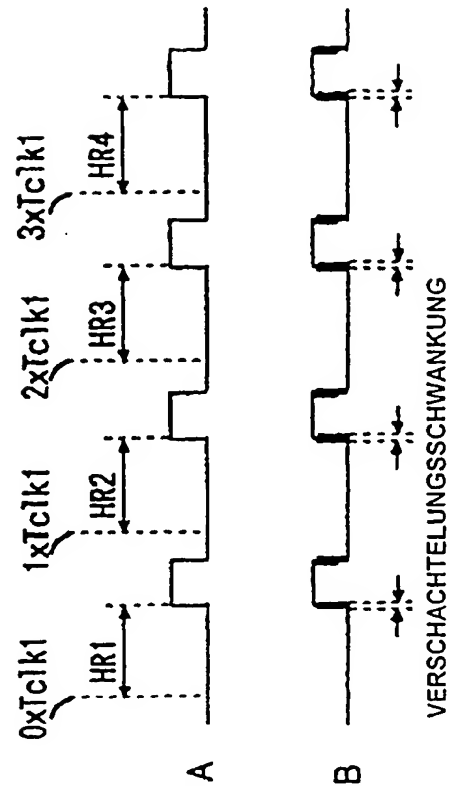
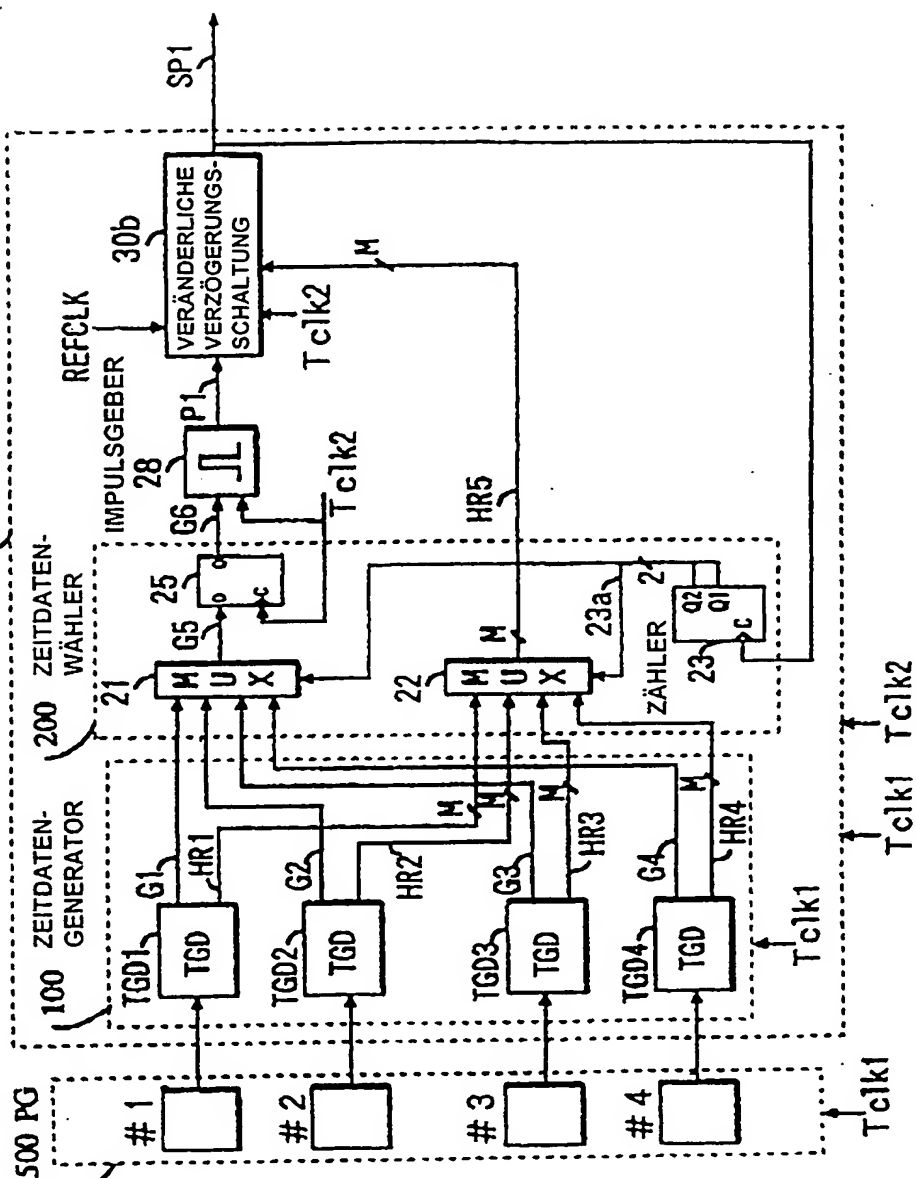


FIG. 7b

VERZÖGERUNGSPULSGENERATOR

FIG.8



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.